

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144552

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H03F 3/08
H03F 1/34
H03F 1/52
H03G 3/20
H03G 3/30
H03G 5/16
H04B 10/00
H04B 10/28
H04B 10/26
H04B 10/14
H04B 10/04
H04B 10/06

(21)Application number : 11-320386

(71)Applicant : NEC CORP

(22)Date of filing : 10.11.1999

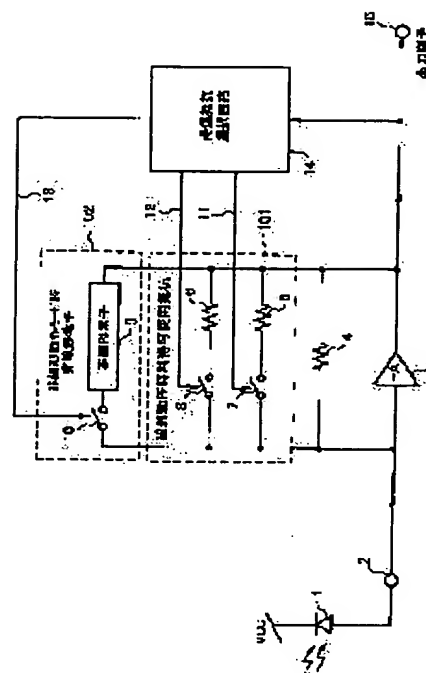
(72)Inventor : NOGUCHI SHIGESANE

(54) BURST MODE OPTICAL RECEPTION SYSTEM AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a burst mode optical reception system that has reduced waveform distortion and enhances reception capability with respect to an extinction ratio.

SOLUTION: The burst mode optical reception system that receives a burst mode optical signal and converts it into an electric signal, is provided with an amplifier 3 that has a feedback variable resistor 101, receives a current signal resulting from photoelectric conversion by a light receiving element and amplifies linearly the current signal, with a nonlinear element 102 that allows the amplifier to act nonlinear amplification and with a feedback resistor control section 14 that allows the amplifier to act nonlinear amplification, monitors input signal strength on the basis of a level of an output signal of the amplifier and controls the feedback variable resistor corresponding to the monitored input signal strength to allow the amplifier to act linear amplification.



LEGAL STATUS

[Date of request for examination] 10.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3456574

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

THIS PAGE BLANK (USPTO)

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H03F 3/08		H03F 3/08	5J030
1/34		1/34	5J090
1/52		1/52	Z 5J091
H03G 3/20		H03G 3/20	C 5J092
3/30		3/30	E 5J100

審査請求 有 請求項の数12 O L (全12頁) 最終頁に続く

(21)出願番号 特願平11-320386

(22)出願日 平成11年11月10日(1999.11.10)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野口 栄実

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74)代理人 100104400

弁理士 浅野 雄一郎

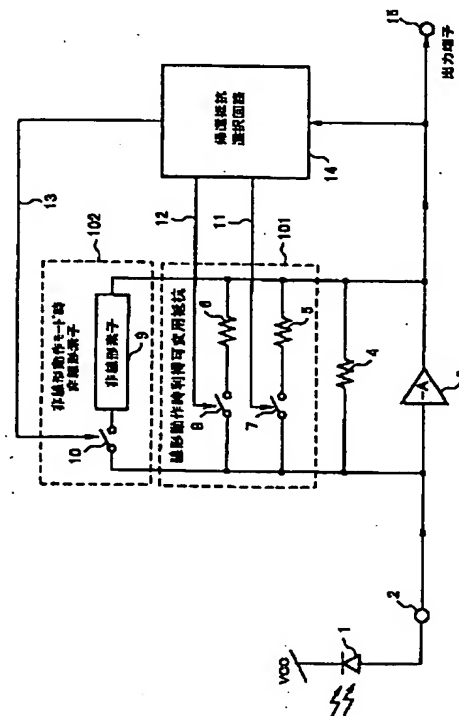
最終頁に続く

(54)【発明の名称】 バーストモード光受信システム及び方法

(57)【要約】

【課題】 波形歪が小さくし消光比に対する受信能力を高める。

【解決手段】 バーストモード光信号を受信し電気信号に変換するバーストモード光受信システムに、帰還可変抵抗101を有し、受光素子により光・電気変換された電流信号を入力し線形に増幅する増幅器3と、増幅器に非線形の増幅を行わせるための非線形素子102と、増幅器に非線形の増幅を行わせて増幅器の出力信号のレベルを基に入力信号強度を監視し、監視された入力信号強度に対応して帰還可変抵抗を制御して増幅器に線形の増幅を行わせる帰還抵抗制御部14とを備える。



【特許請求の範囲】

【請求項 1】 バーストモード光信号を受信し電気信号に変換するバーストモード光受信システムにおいて、帰還可変抵抗を有し、受光素子により光・電気変換された電流信号を入力し線形に増幅する増幅器と、前記増幅器に非線形の増幅を行わせるための非線形素子と、前記増幅器に非線形の増幅を行わせて前記増幅器の出力信号のレベルを監視し、監視された出力信号のレベルに対応して前記帰還可変抵抗を制御して前記増幅器に線形の増幅を行わせる帰還抵抗制御部とを備えることを特徴とするバーストモード光受信システム。

【請求項 2】 前記帰還抵抗制御部は、前記増幅器の出力信号のレベルを基に入力信号強度を監視する場合には、前記帰還可変抵抗を大きくして小信号レベル範囲では線形に動作し、小信号レベルを超える範囲では前記非線形素子により非線形の増幅を行い、信号のダイナミックレンジを圧縮することを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 3】 前記帰還抵抗制御部は、前記出力信号に関する先頭ビット「1」のレベルの大きさにより前記出力信号のレベルを基に入力信号強度を監視することを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 4】 前記帰還抵抗制御部は、前記増幅器の直流伝達特性により、前記増幅器の出力信号のレベルを基に入力信号強度に対応して前記増幅器から非線形素子を切り離し前記帰還可変抵抗の大きさを決定して線形増幅動作を確保することを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 5】 前記帰還抵抗制御部は、前記増幅器に非線形素子を並列接続したままで、前記増幅器の直流伝達特性により、前記増幅器の出力信号のレベルを基に入力信号強度に対応して前記帰還可変抵抗の大きさを決定して線形増幅動作を確保することを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 6】 前記帰還可変抵抗は、前記増幅器が有する高利得用帰還抵抗と、前記増幅器に接続可能な中利得用帰還抵抗と、前記増幅器に接続可能な低利得用帰還抵抗とからなり、前記帰還抵抗制御部は、前記増幅器の出力信号の先頭ビット「1」で小、中、大信号レベルをそれぞれ識別し、識別時に立ち上がり信号を出力し、次ビット「0」で立ち下がり信号を出力する 2 つのコンパレータと、前記コンパレータの立ち上がり信号をそれぞれ保持する第 1 の 2 つの D-フリップフロップと、前記コンパレータの立ち下がり信号をそれぞれ保持する第 2 の 2 つの D-フリップフロップと、前記第 2 の D-フリップフロップにそれぞれ接続され、

前記コンパレータの少なくとも 1 つの立ち下がりで、利得切換えタイミングを形成し、前記非線形素子を前記増幅器から切り離す OR 回路と、

前記第 1 の D-フリップフロップにそれぞれ接続され、前記 OR 回路の利得切換えタイミングで前記増幅器に前記中利得用帰還抵抗、前記低利得用帰還抵抗を接続するように、前記第 1 の D-フリップフロップの出力を保持する第 3 の 2 つの D-フリップフロップとからなることを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 7】 前記帰還可変抵抗は、前記増幅器が有する高利得用帰還抵抗と、前記増幅器に接続可能な複数の利得用帰還抵抗と、前記帰還抵抗制御部は、前記増幅器の出力信号の先頭ビット「1」で小から大の複数の信号レベルをそれぞれ識別し、識別時に立ち上がり信号を出力し、次ビット「0」で立ち下がり信号を出力する複数のコンパレータと、前記コンパレータの立ち上がり信号をそれぞれ保持する第 1 の複数の D-フリップフロップと、前記コンパレータの立ち下がり信号をそれぞれ保持する第 2 の複数の D-フリップフロップと、前記第 2 の D-フリップフロップにそれぞれ接続され、前記コンパレータの少なくとも 1 つの立ち下がりで、利得切換えタイミングを形成し、前記非線形素子を前記増幅器から切り離す OR 回路と、前記第 1 の D-フリップフロップにそれぞれ接続され、前記 OR 回路の利得切換えタイミングで前記増幅器に前記複数の利得用帰還抵抗を接続するように、前記第 1 の D-フリップフロップの出力を保持する第 3 の複数の D-フリップフロップとからなることを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 8】 前記非線形素子は MOS トランジスタの自乗特性を利用する素子であることを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 9】 前記 MOS トランジスタのゲートにバイアス電圧を与え、自乗特性を形成することを特徴とする、請求項 8 に記載のバーストモード光受信システム。

【請求項 10】 前記非線形素子はバイポーラトランジスタの対数特性を利用する素子であることを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 11】 前記非線形素子はダイオードの非直線性を利用する素子であることを特徴とする、請求項 1 に記載のバーストモード光受信システム。

【請求項 12】 バーストモード光信号を受信し電気信号に変換するバーストモード光受信方法において、帰還可変抵抗を介して、受光素子により光・電気変換された電流信号を線形に増幅する工程と、非線形の増幅を行わせる工程と、非線形に増幅される出力信号のレベルを基に入力信号強

度を監視し、監視された入力信号強度に対応して前記帰還可変抵抗の大きさを制御して線形の増幅を行う工程とを備えることを特徴とするパストモード光受信方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はパストモード光受信システムに関する。特に、本発明は、入力信号強度に応じて利得を可変することにより入力ダイナミックレンジの拡大を可能にし、消光比の悪い信号にも対応可能なパストモード光受信システム及び方法に関する。

【0002】

【従来の技術】近年、PON (Passive Optical Network) システムと呼ばれる方法が考案されている。このPONシステムでは、光加入者伝送システムの実現に向けた低コスト化の手段として、局側から敷設された1本の光ファイバをカブラにより複数の加入者に分岐して1対nのマルチ・ポイント接続を実現する。

【0003】さらに、このPONシステムでは、加入者から局への信号はTDMA (Time Division Multiple Access) と呼ばれる時分割方式により多重される。このため、局側の受信機では、加入者毎に、信号強度が急変するパストモード光信号を受信しなければならない。すなわち、微弱な信号から大信号にわたる幅広い信号強度に対し、受信可能でなければならない。

【0004】ところで、局側の受信機の一般的な光受信機の入力段には、特開平9-8563号公報に開示されるトランスインピーダンス型のプリアンプ回路が設けられる。図9は本発明の前提となるパストモード光受信システムのトランスインピーダンス型のプリアンプ回路を示す図である。なお、全図を通して同一の構成要素には同一の符号、番号を付して説明を行う。

【0005】本図に示すように、パストモード光受信システムのトランスインピーダンス型のプリアンプ回路における入力端子2、出力端子15の間に増幅器3が設けられる。入力端子2には受光素子1が接続され、受光素子1は光・電気変換により光信号を電流信号に変換する。

【0006】トランスインピーダンス型のプリアンプ回路は、受光素子1の電流信号を電圧信号に変換し増幅する。増幅器3に高利得用帰還抵抗4が並列に接続され、高利得用帰還抵抗4は、微弱信号を高利得で増幅するために用いられる。

【0007】さらに、増幅器3には大入力保護用ダイオード47が並列に接続され、大入力保護用ダイオード47は大信号時にプリアンプの出力ダイナミックレンジを越えて回路が飽和するのを防ぐために用いられる。受光素子1により光・電流変換された信号はプリアンプの高利得用帰還抵抗4により電圧信号へと変換されるととも

に、増幅される。

【0008】図10は図9のプリアンプの動作波形を示す図である。本図に示すように、入力信号が小さい場合には、高利得用帰還抵抗4による高いトランスインピーダンス利得により信号が線形に増幅され最小受光感度が上げられる。入力信号が大きい場合には、大入力保護用ダイオード47は導通し出力電圧をクランプするためプリアンプの飽和を防止し、最大受光レベルを拡大する。

【0009】

10 【発明が解決しようとする課題】しかしながら、上記トランスインピーダンス型プリアンプでは、大入力時には大入力保護用ダイオード47により非線形な対数アンプ特性となるため波形歪が大きくなり、信号のデューティ (DUTY) 比が劣化するという問題がある。

【0010】図11は大入力時に光信号にDC (直流) バイアス光がある例を示す図である。本図に示すように、大入力時に光信号にDC (直流成分) バイアス光がある場合、すなわち、消光比が悪い信号を受信すると、信号の「0」レベルが下がり、事実上の信号振幅が小さくなっていく。消光比が悪くなるにつれて、「0」レベルは「1」のレベルに近づいていき、ついには信号が消滅する。

【0011】以上説明したように、従来の大入力保護回路は、波形歪が大きく消光比に対する受信能力が低いという問題がある。したがって、本発明は上記問題点に鑑みて、入力信号強度に応じて利得を可変することにより入力ダイナミックレンジの拡大が可能になり、ダイナミックレンジ内で消光比の悪い信号にも対応が可能になるトランスインピーダンス型プリアンプ回路を有するパストモード光受信システム及び方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は前記問題点を解決するために、パストモード光信号を受信し電気信号に変換するパストモード光受信システムにおいて、帰還可変抵抗を有し、受光素子により光・電気変換された電流信号を入力し線形に増幅する増幅器と、前記増幅器に非線形の増幅を行わせるための非線形素子と、前記増幅器に非線形の増幅を行わせて前記増幅器の出力信号のレベルを基に入力信号強度を監視し、監視された入力信号強度に対応して前記帰還可変抵抗を制御して前記増幅器に線形の増幅を行わせる帰還抵抗制御部とを備えることを特徴とするパストモード光受信システムを提供する。この手段により、入力信号強度に応じて利得を可変することにより入力ダイナミックレンジの拡大が可能になり、ダイナミックレンジ内で線形増幅することにより消光比の悪い信号にも対応が可能になるトランスインピーダンス型プリアンプ回路を形成することが可能になる。

50 【0013】好ましくは、前記帰還抵抗制御部は、前記

増幅器の出力信号のレベルを基に入力信号強度を監視する場合には前記帰還可変抵抗を大きくして小信号レベル範囲では線形に動作し、小信号レベルを超える範囲では前記非線形素子により非線形の増幅を行い、信号のダイナミックレンジを圧縮する。この手段により、増幅器の出力信号のレベルを基に入力信号強度の監視時には小信号レベルの信号の線形増幅を同時に可能にする。

【0014】好ましくは、前記帰還抵抗制御部は、前記出力信号に関する先頭ビット「1」のレベルの大きさにより前記出力信号のレベルを基に入力信号強度を監視する。この手段により、信号の先頭ビット「1」の期間では非線形増幅動作モードで動作し、入力信号強度を検出すると同時に適切な帰還抵抗値を選択し、プリアンプ回路のトランスインピーダンス利得を切換え、加入者毎に信号強度が急変するバースト信号の受信に高速な対応が可能になる。

【0015】好ましくは、前記帰還抵抗制御部は、前記増幅器の直流伝達特性により、前記増幅器の出力信号のレベルを基に入力信号強度に対応して前記増幅器から非線形素子を切り離し前記帰還可変抵抗の大きさを決定して線形増幅動作を確保する。この手段により、非線形増幅動作モードから線形増幅動作モードへの切換が容易になる。

【0016】好ましくは、前記帰還抵抗制御部は、前記増幅器に非線形素子を並列接続したままで、前記増幅器の直流伝達特性により、前記増幅器の出力信号のレベルを基に入力信号強度に対応して前記帰還可変抵抗の大きさを決定して線形増幅動作を確保する。この手段により、非線形増幅動作モードから線形増幅動作モードへの切換時間の非線形素子の切り離しが不要になる。

【0017】好ましくは、前記帰還可変抵抗は、前記増幅器が有する高利得用帰還抵抗と、前記増幅器に接続可能な中利得用帰還抵抗と、前記増幅器に接続可能な低利得用帰還抵抗とからなり、前記帰還抵抗制御部は、前記増幅器の出力信号の先頭ビット「1」で小、中、大信号レベルをそれぞれ識別し、識別時に立ち上がり信号を出力し、次ビット「0」で立ち下がり信号を出力する2つのコンパレータと、前記コンパレータの立ち上がり信号をそれぞれ保持する第1の2つのD-フリップフロップと、前記コンパレータの立ち下がり信号をそれぞれ保持する第2の2つのD-フリップフロップと、前記第2のD-フリップフロップにそれぞれ接続され、前記コンパレータの少なくとも1つの立ち下がりで、利得切換えタイミングを形成し、前記非線形素子を前記増幅器から切り離すOR回路と、前記第1のD-フリップフロップにそれぞれ接続され、前記OR回路の利得切換えタイミングで前記増幅器に前記中利得用帰還抵抗、前記低利得用帰還抵抗を接続するように、前記第1のD-フリップフロップの出力を保持する第3の2つのD-フリップフロップとからなる。

【0018】この手段により、具体的に増幅器の出力信号の小、中、大レベルを基に入力信号強度に応じてそれぞれ、高利得、中利得、低利得で線形の増幅が可能になる。好ましくは、前記帰還可変抵抗は、前記増幅器が有する高利得用帰還抵抗と、前記増幅器に接続可能な複数の利得用帰還抵抗と、前記帰還抵抗制御部は、前記増幅器の出力信号の先頭ビット「1」で小から大の複数の信号レベルをそれぞれ識別し、識別時に立ち上がり信号を出力し、次ビット「0」で立ち下がり信号を出力する複数のコンパレータと、前記コンパレータの立ち上がり信号をそれぞれ保持する第1の複数のD-フリップフロップと、前記コンパレータの立ち下がり信号をそれぞれ保持する第2の複数のD-フリップフロップと、前記第2のD-フリップフロップにそれぞれ接続され、前記コンパレータの少なくとも1つの立ち下がりで、利得切換えタイミングを形成し、前記非線形素子を前記増幅器から切り離すOR回路と、前記第1のD-フリップフロップにそれぞれ接続され、前記OR回路の利得切換えタイミングで前記増幅器に前記複数の利得用帰還抵抗を接続するように、前記第1のD-フリップフロップの出力を保持する第3の複数のD-フリップフロップとからなる。

【0019】この手段により、複数段の構成にすることにより、さらに、出力信号のダイナミックレンジが圧縮され、次段以降の回路ブロックの必要なダイナミックレンジを小さく抑えることができる。このため、次段以降の回路設計を容易にすることができる。この回路構成を用いれば、利得切換えの段数を増やしても、切換えに要する時間は3段の時と同様に、先頭ビットのみで利得切換えが可能である。

【0020】好ましくは、前記非線形素子はMOSトランジスタの自乗特性を利用する素子であり、さらに、好ましくは、前記MOSトランジスタのゲートにバイアス電圧を与え、自乗特性を形成する。この手段により、非線形増幅動作モード時における増幅器の出力信号の監視が可能になる。

【0021】好ましくは、前記非線形素子はバイポーラトランジスタの対数特性を利用する素子であり、さらに、好ましくは、前記非線形素子はダイオードの非直線性を利用する素子である。この手段により、MOSトランジスタは前記非線形素子の一例であり、これに限定されず、非線形素子の適用範囲が広がる。

【0022】さらに、本発明は、バーストモード光信号を受信し電気信号に変換するバーストモード光受信方法において、帰還可変抵抗を介して、受光素子により光・電気変換された電流信号を入力し線形に増幅する工程と、非線形の増幅を行わせる工程と、非線形に増幅される出力信号のレベルを基に入力信号強度を監視し、監視された入力信号強度に対応して前記帰還可変抵抗の大きさを制御して線形の増幅を行う工程とを備えることを特徴とするバーストモード光受信方法を提供する。

【0023】この手段により、上記発明と同様に、入力信号強度に応じて利得を可変することにより入力ダイナミックレンジの拡大が可能になり、ダイナミックレンジ内で線形増幅することにより消光比の悪い信号にも対応が可能になるトランスインピーダンス型プリアンプ回路を形成することが可能になる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は本発明に係るバーストモード光受信システムの概略構成を示すブロック図である。

【0025】本図に示すように、バーストモード光受信システムのトランスインピーダンス型のプリアンプ回路では、図9と比較して、高利得用帰還抵抗4に線形動作モード時利得可変用抵抗101が並列に接続され、大入力保護用ダイオード47に代わり、非線形動作モード時非線形素子102が設けられ、さらに、帰還抵抗選択回路14が設けられる。

【0026】帰還抵抗選択回路14は線形動作モード時利得可変用抵抗101、非線形動作モード時非線形素子102の動作を制御する。本発明のトランスインピーダンスプリアンプ回路により、バースト信号に対応するために、入力信号強度に応じて帰還抵抗を切換え、利得を可変させることにより、幅広い入力ダイナミックレンジが実現される。

【0027】さらに、その入力ダイナミックレンジ内で線形増幅を行うことにより、波形歪が少なく消光比の悪い入力信号にも対応したプリアンプ回路が実現される。線形動作モード時利得可変用抵抗101には、直列に接続される帰還抵抗選択スイッチ7と中利得用帰還抵抗5、直列に接続される帰還抵抗選択スイッチ8と低利得用帰還抵抗6が設けられ、スイッチ7と中利得用帰還抵抗5、スイッチ8と低利得用帰還抵抗6は、高利得用帰還抵抗4に並列にそれぞれ接続される。

【0028】この線形動作モード時利得可変用抵抗101により、プリアンプ回路のトランスインピーダンス利得が可変になる。さらに、非線形動作モード時非線形素子102には、直列に接続されるスイッチ10と非線形素子9が設けられ、非線形素子選択スイッチ10と非線形素子9は高利得用帰還抵抗4に並列に接続される。

【0029】非線形動作モード時非線形素子102により、信号を非線形に増幅し、信号ダイナミックレンジの圧縮が可能になる。帰還抵抗選択回路14は、増幅器3の出力を入力し、この出力を監視して、線路11、12、13を介してスイッチ7、8、10の開閉をそれぞれ制御する。

【0030】帰還抵抗選択回路14により入力信号強度に応じて適切な帰還抵抗を選択することが可能になる。また、プリアンプ回路の動作としては、入力信号強度の検出を行う非線形増幅動作モードと、通常の信号増幅を

行う線形増幅動作モードの2つの動作状態が存在する。

【0031】信号の先頭ビット「1」の期間では非線形増幅動作モードで動作し、入力信号強度を検出すると同時に適切な帰還抵抗値を選択し、プリアンプ回路のトランスインピーダンス利得を切換える。加入者毎に信号強度が急変するバースト信号の受信に対応が可能になる。利得切換えが終了した時点で、非線形増幅動作モードから線形増幅動作モードに切換え、通常の信号増幅が行われる。

【0032】入力信号強度の検出は、非線型素子9の自乗特性又は対数特性を利用した非線形増幅を行うことにより、信号のダイナミックレンジの圧縮を図り検出可能範囲を拡大することを可能にする。このように非線形増幅を行うことにより先頭1ビットのみを利用して小信号から大信号までの入力信号強度を検出することができるため、高速な利得切換えが可能となる。

【0033】なお、図1において、帰還抵抗選択スイッチ7、帰還抵抗選択スイッチ8、非線形素子選択スイッチ10が開である場合、プリアンプ回路のトランスインピーダンス利得は、

$$-A \cdot R_4 / A + 1$$

で定義される。ここに、 $-A$ は増幅器3の増幅度であり、 R_4 は高利得用帰還抵抗4の抵抗値である。また、 $A \gg 1$ という条件下では上記のトランスインピーダンス利得は、

$$-R_4$$

で近似できる。

【0034】図2は図1の構成の詳細例を説明する図である。本図に示すように、線形動作モード時利得可変用抵抗101における帰還抵抗選択スイッチ7、帰還抵抗選択スイッチ8はMOS (Metal Oxide Semiconductor) スイッチ16、17で構成される。非線形動作モード時非線形素子102の非線型素子9、非線形素子選択スイッチ10はMOSトランジスタ18で構成される。

【0035】さらに、非線形動作モード時非線形素子102には、MOSトランジスタ18のゲート端子39にドレインが接続され、ソースが接地 (GND) されるMOSスイッチ36と、MOSトランジスタ18のゲート端子39にソースが接続され、ドレインがバイアス電圧38に接続されるMOSスイッチ37とが設けられ、MOSスイッチ36のゲートが線路13に接続され、かつ、MOSスイッチ37のゲートが反転器60を介して線路13に接続される。

【0036】MOSスイッチ37はMOSトランジスタ18のゲート39に適切なバイアス電圧18を与え、MOSトランジスタ18の自乗特性を利用してプリアンプ回路に後述する非線形なDC (直流) 伝達特性を持たせる。MOSスイッチ36はMOSトランジスタ18をOFFするためにゲート端子39をGNDレベルに落と

す。

【0037】帰還抵抗選択回路14には、コンパレータ19、20が設けられ、コンパレータ19、20は、増幅器3の出力と中出力検出リファレンス電圧21、大信号検出リファレンス電圧22をそれぞれ比較する。コンパレータ19、20の出力にはD（遅延）フリップフロップ（FF）25、26がそれぞれ接続され、Dフリップフロップ25、26はコンパレータ19、20の出力の立ち上がりをそれぞれ保持する。

【0038】さらに、コンパレータ19、20にはDフリップフロップ29、30がそれぞれ接続され、Dフリップフロップ29、30はコンパレータ19、20の出力の立ち下がりをもそれぞれ保持する。Dフリップフロップ29、30の出力にOR回路33が接続され、OR回路33は利得切換えタイミングを生成し、線路13を経由して、MOSスイッチ36のゲート、反転器60を介したMOSスイッチ37のゲートに出力する。

【0039】Dフリップフロップ25、26の出力にはDフリップフロップ34、35がそれぞれ接続され、さらに、Dフリップフロップ34、35の出力には線形動作モード時利得可変用抵抗101のMOSスイッチ16、17のゲートがそれぞれ接続される。Dフリップフロップ34、35はOR回路33の利得切換えタイミングで帰還抵抗制御信号を生成し線路11、12にそれぞれ出力する。

【0040】このような構成により、本発明のプリアンプ回路には、入力出力強度の検出を行う非線形増幅動作モード、利得切換えが完了した後に通常の信号増幅を行う線形増幅動作モードの2つのモードが形成される。図3は図2のプリアンプ回路のDC伝達特性を示す図である。プリアンプ回路の入力と出力との間のDC直流伝達特性は、本図に示すように、特性曲線40、41、42、43のような特性になる。

【0041】特性曲線40により入力信号を非線形に増幅し入力ダイナミックレンジが実現される。特性曲線41、42、43により入力信号強度に応じて高利得、中利得、低利得で線形に信号が増幅される。次に、非線形増幅動作モードを得るための帰還抵抗選択回路14の動作を説明する。

【0042】非線形増幅動作モードでは、プリアンプ回路は、図3の特性曲線40に示すようなDC伝達特性を有するように、小信号レベルに対しては高利得用帰還抵抗4による線形増幅が行われ、中信号レベル、大信号レベルに対しては、MOSトランジスタ18の自乗特性、つまり、非線形特性を利用した非線形増幅が行われる。ここで、帰還抵抗選択回路14はプリアンプ回路の増幅器3の出力電圧を受け取り、増幅器3の出力の信号強度を3段階で検出して帰還抵抗制御信号を生成し線路11、12に出力する。

【0043】入力出力強度を3段階で検出するために、

コンパレータ19、20では、増幅器3の出力電圧と、中出力検出リファレンス電圧21、大信号検出リファレンス電圧22とがそれぞれ比較され、信号強度の検出が行われる。増幅器3の出力電圧が中出力検出リファレンス電圧21まで達しない信号に対しては、小信号レベルと判断し、コンパレータ19、20は線路27、28にLow、Low信号をそれぞれ出力する。

【0044】増幅器3の出力電圧が中出力検出リファレンス電圧21を超え、かつ大信号検出リファレンス電圧22を超えないような信号に対しては、中信号レベルと判断し、コンパレータ19、20は線路27、28にHigh、Low信号をそれぞれ出力する。さらに、増幅器3の出力電圧が大信号検出リファレンス電圧22を超えるような信号に対しては、大信号レベルと判断し、コンパレータ19、20は線路27、28にHigh、High信号をそれぞれ出力する。

【0045】コンパレータ19、20の立ち上がり信号はそれぞれDフリップフロップ25、26によって保持される。また、同時にコンパレータ19、20の立ち下りはコンパレータ19、20の反転出力端子を利用してDフリップフロップ29、30によって保持される。

【0046】これらの立ち下り信号は、OR回路33でOR論理処理され、この処理信号が線路13に出力され、この処理信号が利用されてMOSスイッチ16、17を制御して中利得用帰還抵抗5、低利得用帰還抵抗6を切換えるタイミングを与えると共に、非線形増幅動作モードから線形増幅動作モードへ切換えるように処理される。

【0047】Dフリップフロップ34、35では、OR回路33から線路13への出力信号の立ち上がりを利用してDフリップフロップ25、26のQ端子から線路27、28への信号がラッチされ、帰還抵抗制御信号が線路11、12に出力される。上記の帰還抵抗選択回路14の動作を踏まえて本プリアンプ回路全体の動作について、タイムチャートを用いて、以下に説明を行う。

【0048】ただし、各Dフリップフロップ25、26、29、30、34、35のRST（リセット）端子にはRST信号を与えてQ端子がLow状態になるように初期化を行っておく。このとき、帰還抵抗切換え用のMOSスイッチ16、17はOFFとなり、MOSトランジスタ18のゲート端子39にはある適切なバイアス電圧Vbias38が与えられるためMOSトランジスタ18は非線形素子として動作する。

【0049】このため、プリアンプ回路は、初期状態として、入力信号強度を検出する非線形増幅動作で待機することになる。図4は小信号レベルの信号が入力した場合のプリアンプ回路の動作を説明するタイムチャートである。本図に示すように小信号レベルの信号が入力する場合には、帰還抵抗選択回路14は動作せず、非線形増

幅動作モードのまま信号増幅を行う。

【0050】この場合、入力信号のレベルが小さいため、図3の特性曲線40に示すDC伝達特性の線形増幅範囲内で増幅が行われる。図5は中信号レベルの信号が入力した場合のプリアンプ回路の動作を説明するタイムチャートである。本図に示すように、中信号レベルの信号が入力する場合には、信号の先頭ビットの「1」において、増幅器3（プリアンプ回路）の出力電圧が中出力検出リファレンス電圧21を超えるので、コンパレータ19の出力がHigh信号となり、D-フリップフロップ25のQ端子から線路27への出力がHigh信号となる。

【0051】また、増幅器3の出力電圧が大信号検出リファレンス電圧22を超えないので、D-フリップフロップ26、D-フリップフロップ30、D-フリップフロップ35のQ端子からの信号はLow状態のままとなる。入力信号強度の検出結果を示すD-フリップフロップ25、26はそれらの出力状態がHigh、Low状態となり、入力出力強度が中信号レベルであることを保持する。

【0052】次に、2ビット目の「0」が来ると、再びコンパレータ19の出力がLow状態に戻り、D-フリップフロップ29のQ端子の信号を立ち上げるように処理され、OR回路33の出力が立ち上がる。この信号のタイミングでD-フリップフロップ34、35は、線路27、28に出力されるデータ信号をラッチし、MOSスイッチ16のみをONにする。

【0053】また、同時にOR回路33から線路13への出力信号によりMOSトランジスタ18のゲート端子39の電位をGNDレベルに落としMOSトランジスタ18をOFFにして非線形増幅動作モードから線形増幅動作モードへ切替える。これにより、線形動作モード時利得可変用抵抗101は高利得用帰還抵抗4と中利得用帰還抵抗5の合成抵抗となってトランスインピーダンス利得が下記のように、

$$-A \cdot \{R4 \cdot R5 / (R4 + R5)\} / (A + 1)$$

1段階下がり、増幅器3の入力信号が線形増幅される。ここに、R5は中利得用帰還抵抗5の抵抗値である。また、 $A \gg 1$ という条件下では上記のトランスインピーダンス利得は、

$$- \{R4 \cdot R5 / (R4 + R5)\}$$

で近似できる。

【0054】図6は大信号レベルの信号が入力した場合のプリアンプ回路の動作を説明するタイムチャートである。本図に示すように、大信号レベルの信号が入力する場合には、信号の先頭ビットの「1」において、増幅器3（トランスインピーダンスプリアンプ回路）の出力電圧が中出力検出リファレンス電圧21、大信号検出リファレンス電圧22を超える。

【0055】このため、コンパレータ19、20の出力

がそれぞれHigh信号、High信号となり、D-フリップフロップ25、26のQ端子から線路27への出力がそれぞれHigh信号、High信号となり、入力出力強度が大信号レベルであることを保持する

次に、2ビット目の「0」が来ると、再びコンパレータ20の出力がLow状態となり、D-フリップフロップ30のQ端子を立ち上げる。

【0056】D-フリップフロップ29、30の立ち上がり信号のOR論理処理を取ったタイミングで、D-フリップフロップ25、26は線路27、28に出力されるデータ信号をラッチし、MOSスイッチ16、17をそれぞれONにする。また、同時にOR回路33から線路13への出力信号によりMOSトランジスタ18のゲート端子39の電位をGNDレベルに落としMOSトランジスタ18をOFFにして非線形増幅動作モードから線形増幅動作モードへ切替える。

【0057】これにより、線形動作モード時利得可変用抵抗101は高利得用帰還抵抗4と中利得用帰還抵抗5と低利得用帰還抵抗6の3つの抵抗に関する合成抵抗となってトランスインピーダンス利得が下記のように、

$$-A \cdot \{R4 \cdot R5 \cdot R6 / (R4 \cdot R5 + R5 \cdot R6 + R6 \cdot R4)\} / (A + 1)$$

2段階下がり、増幅器3の入力信号が線形増幅される。ここに、R6は低利得用帰還抵抗6の抵抗値である。また、 $A \gg 1$ という条件下では上記のトランスインピーダンス利得は、

$$- \{R4 \cdot R5 \cdot R6 / (R4 \cdot R5 + R5 \cdot R6 + R6 \cdot R4)\}$$

で近似できる。このように、本プリアンプ回路は利得を切替える際に、MOSトランジスタの自乗特性を利用した非線形増幅を行うことにより、先頭の1ビットのみの情報を利用して小信号から大信号までの入力信号強度を検索することができるため、高速な利得切替えが実現可能となっている。

【0058】以上の説明では、非線形素子9としてMOSトランジスタ18を用いたが、バイポーラトランジスタによる対数特性を利用しても実現可能である。また、ダイオードの非直線性を利用してもよい。図7は図3のDC伝達特性の変形例を示す図である。本図に示すように、図3と比較して、各入力信号レベルに応じたプリアンプ回路の出力電圧が、特性曲線44、45、46のように、それぞれ線形増幅の範囲内に収まるように、中出力検出リファレンス電圧21の電圧値、大信号検出リファレンス電圧22の電圧値、中利得用帰還抵抗5の抵抗値、低利得用帰還抵抗6の抵抗値が選ばれる。

【0059】このため、非線形増幅動作モード、線形増幅動作モードを切替えるために、図1の非線形素子選択スイッチ10が必要なくなる。したがって、図2におけるMOSスイッチ36、37は必要無くなる。このため、MOSトランジスタ18のゲート電圧には適切なバ

イアス電圧 V_{bias} が与えられるだけでよい。

【0060】図8は図2の変形例を示す図である。本図に示すように、図2と比較して、非線形動作時切替え用素子102、帰還抵抗選択回路14は利得を3段の切替えからN段の切替えの構成とした。具体的には、線形動作モード時利得可変用抵抗101に、抵抗50-1~50-N、MOSスイッチ51-1~51-Nが設けられ、帰還抵抗選択回路14には、N段のコンパレータ52-1~52-N、N段のD-フリップフロップ53-1~53-N、54-1~54-N、55-1~55-Nが設けられる。

【0061】このように、N段の構成にすることにより、さらに、出力信号のダイナミックレンジが圧縮され、次段以降の回路ブロックの必要なダイナミックレンジを小さく抑えることができる。このため、次段以降の回路設計を容易にすることができる。この回路構成を用いれば、利得切替えの段数を増やしても、切替えに要する時間は3段の時と同様に、先頭ビットのみで利得切替えが可能である。

【0062】

【発明の効果】以上説明したように、本発明によれば、入力信号強度に応じてトランスインピーダンス利得を切替え全入力レベルに対して線形な増幅を行うため、波形歪がなくデューティ比の良好な出力が得られる。全入力レベルにおいて線形な増幅を行うため、大信号かつ消光比の悪い信号が入力されても受信が可能である。

【0063】非線形増幅による入力信号強度検出を行うことにより、先頭の1ビットの期間で入力信号強度の検出が可能となり高速な利得切替え動作が実現できる。

【図面の簡単な説明】

【図1】本発明に係るバーストモード光受信システムの概略構成を示すブロック図である。

【図2】図1の構成の詳細例を説明する図である。

【図3】図2のプリアンプ回路のDC伝達特性を示す図である。

【図4】小信号レベルの信号が入力した場合のプリアンプ回路の動作を説明するタイムチャートである。

【図5】中信号レベルの信号が入力した場合のプリアンプ回路の動作を説明するタイムチャートである。

【図6】大信号レベルの信号が入力した場合のプリアンプ

プ回路の動作を説明するタイムチャートである。

【図7】図3のDC伝達特性の変形例を示す図である。

【図8】図2の変形例を示す図である。

【図9】本発明の前提となるバーストモード光受信システムのトランスインピーダンス型のプリアンプ回路を示す図である。

【図10】図9のプリアンプの動作波形を示す図である。

【図11】大入力時に光信号にDC（直流）バイアス光がある例を示す図である。

【符号の説明】

1…受光素子

2…入力端

3…増幅器

4…高利得用帰還抵抗

5…中利得用帰還抵抗

6…低利得用帰還抵抗

7…帰還抵抗選択スイッチ

8…帰還抵抗選択スイッチ

20 9…非線型素子

10…非線形素子選択スイッチ

11、12、13、23、24、27、28…線路

14…帰還抵抗選択回路

15…出力端子

16、17、36、37、51-1~51-N…MOSスイッチ

18…MOSトランジスタ

19、20、52-1~52-N…コンパレータ

21…中出力検出リファレンス電圧

30 22…大信号検出リファレンス電圧

25、26、29、30、34、35、53-1~53-N、54-1~54-N、55-1~55-N…D-

フリップフロップ

50-1~50-N…抵抗

33…OR回路

38… V_{bias}

39…MOSトランジスタ18のゲート端子

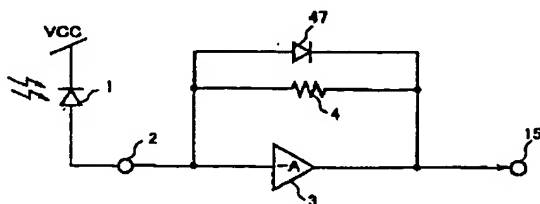
41、42、43、45、46、47…特性曲線

60…反転器

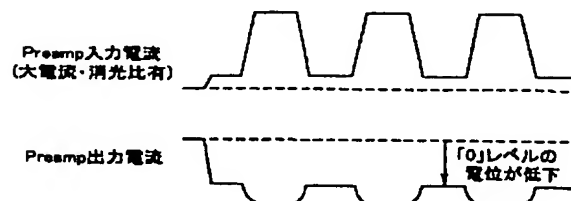
101…線形動作モード時利得可変用抵抗

40 102…非線形動作モード時非線形素子

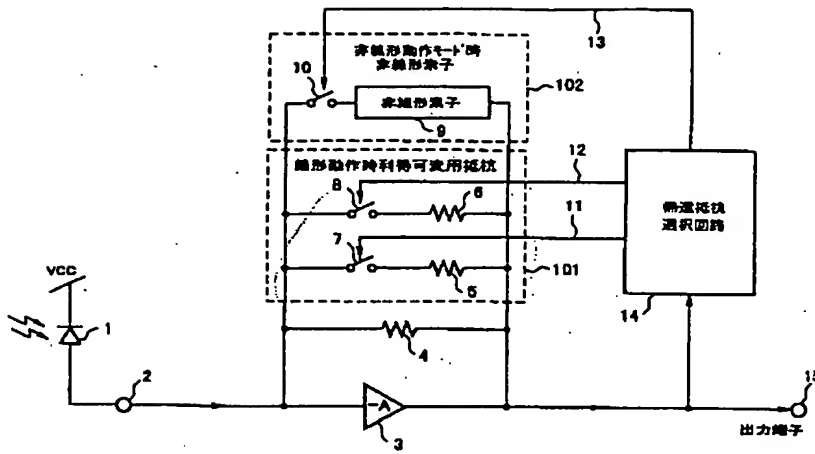
【図9】



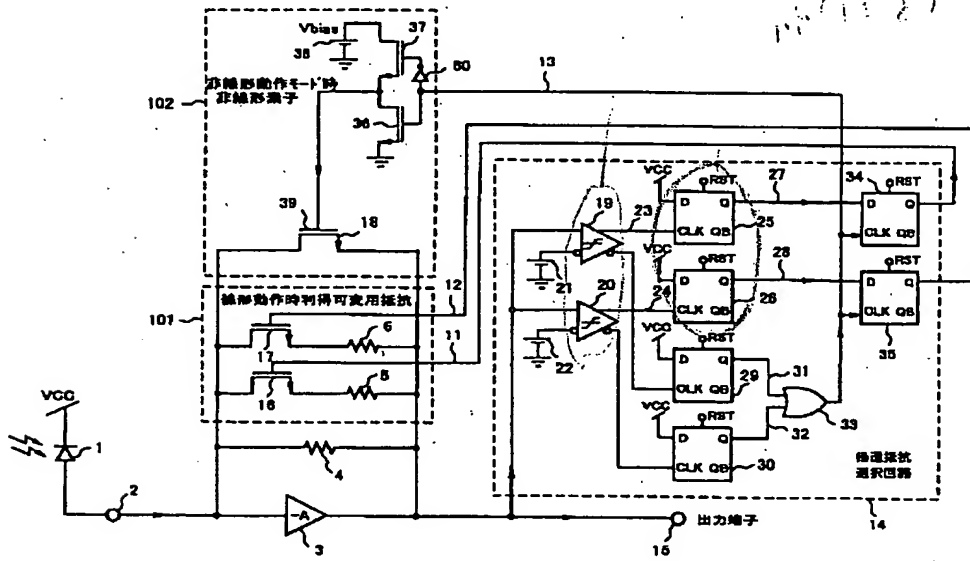
【図11】



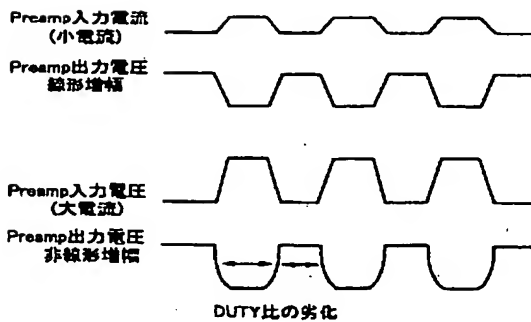
【図1】



【図2】

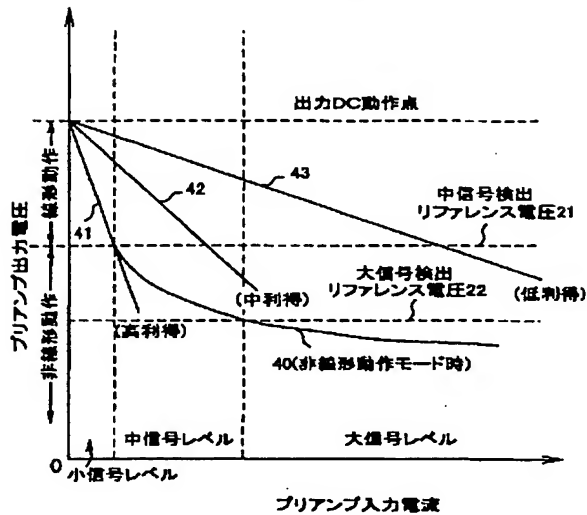


【図10】



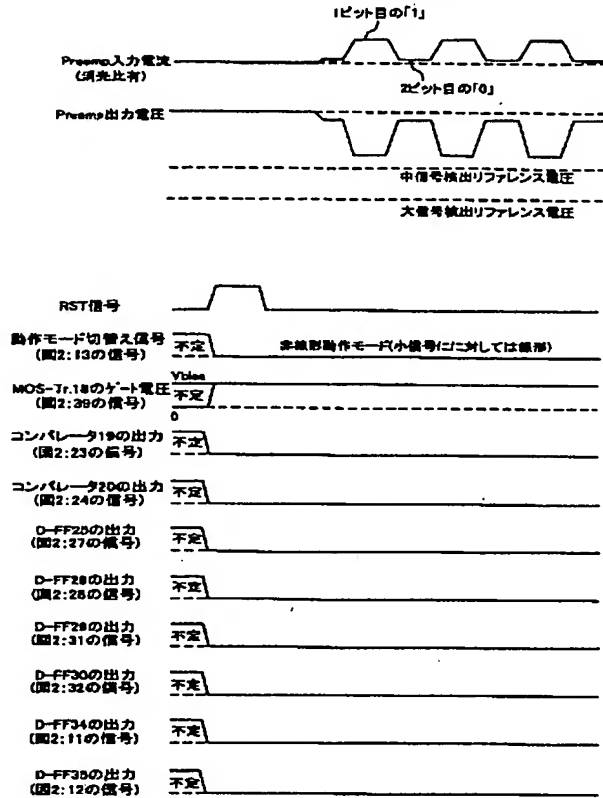
【図3】

プリアンプDC伝達特性



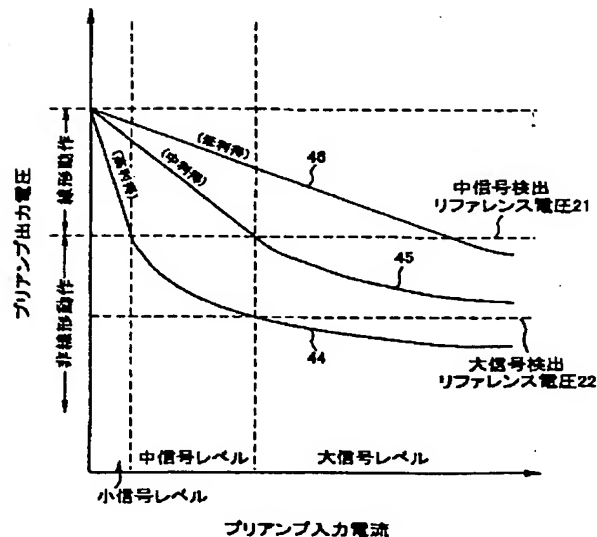
【図4】

小信号レベルの場合

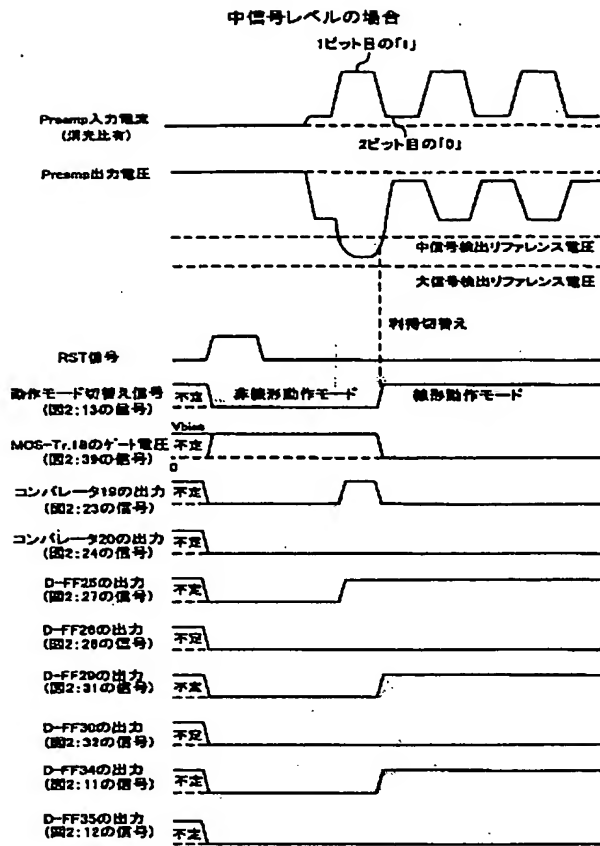


【図7】

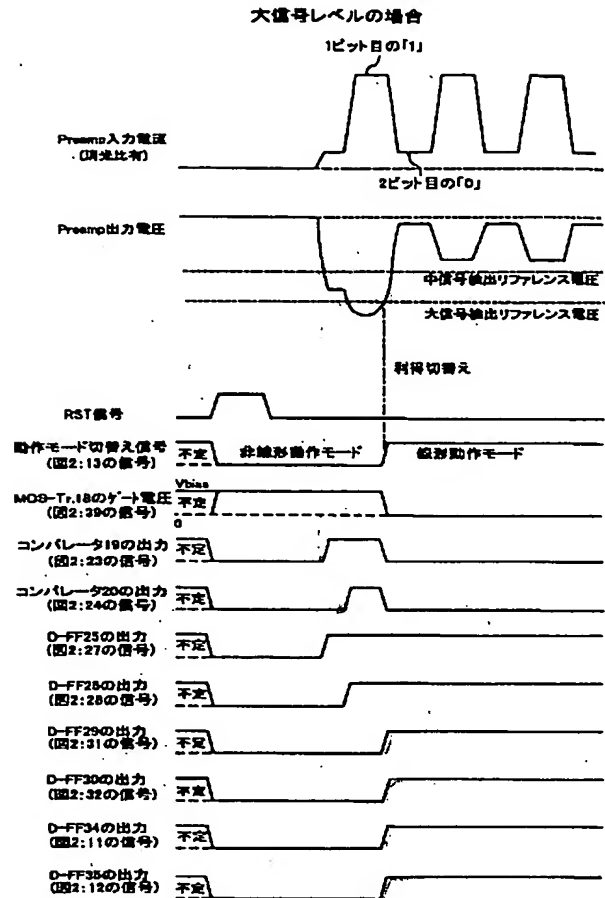
プリアンプDC伝達特性



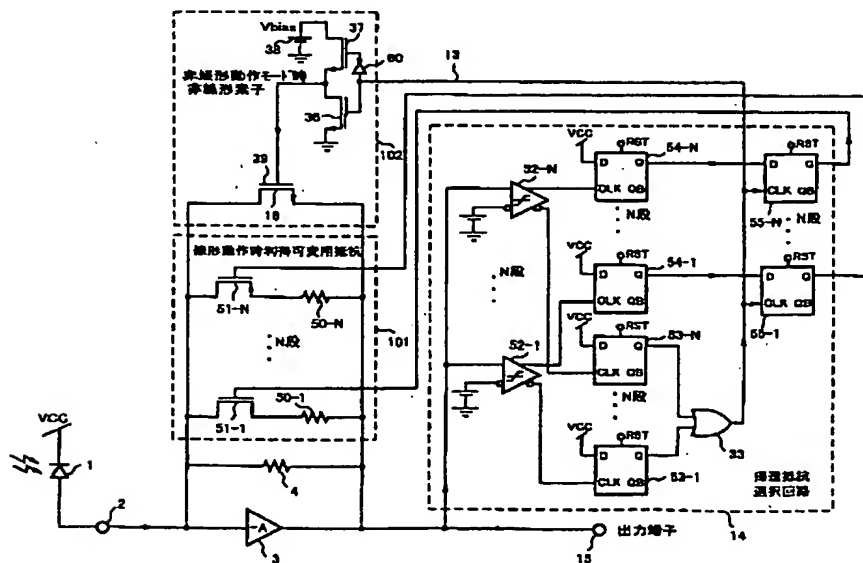
【図 5】



【図 6】



【図 8】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
5/16		5/16	D 5K002
H04B 10/00		H04B 9/00	B
10/28			Y
10/26			
10/14			
10/04			
10/06			

F ターム(参考) 5J030 AC02 AC04 AC08 AC11 AC19
 5J090 AA01 AA56 CA21 CA32 CA56
 CA65 DN02 FA17 FA18 HA02
 HA10 HA19 HA25 HA26 HA38
 HA39 HA44 HN07 KA17 KA33
 KA36 MA11 MN01 NN11 TA02
 TA06
 5J091 AA01 AA56 CA21 CA32 CA56
 CA65 FA17 FA18 HA02 HA10
 HA19 HA25 HA26 HA38 HA39
 HA44 KA17 KA33 KA36 MA11
 TA02 TA06
 5J092 AA01 AA56 CA21 CA32 CA56
 CA65 FA17 FA18 HA02 HA10
 HA19 HA25 HA26 HA38 HA39
 HA44 KA17 KA33 KA36 MA11
 TA02 TA06 UL01
 5J100 JA01 KA05 LA00 LA09 LA10
 QA01 SA02
 5K002 AA03 CA01 DA05